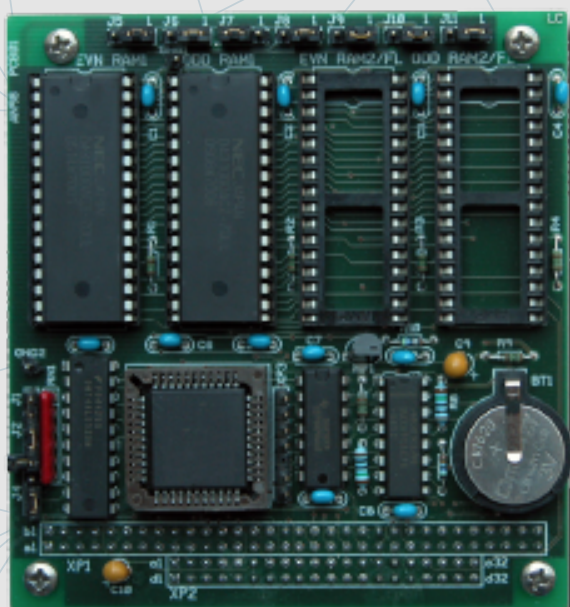


# PC INDUSTRIALI

## MANUALE D'USO E MANUTENZIONE

### SCHEDA PC 104

2 MB RAM/FLASH



Codice Ordine: **5904513001**

Data: **04/2018** - Rev: **1.3**

### Sommario

1. Generalità.....3
2. Caratteristiche tecniche.....3
3. Modalità di indirizzamento.....3

[system-electronics.it](http://system-electronics.it)




**SYSTEM**  
**Electronics**

<b>Storico Revisioni</b>			<b>Pagine</b>
Rev.	1.0	Stesura	4



**SYSTEM s.p.a. Div. Electronics**  
via Ghiarola Vecchia, 73  
41042 Fiorano (MO) - Italy  
tel. 0536/836111 - fax 0536/830901  
www.system-group.it  
e-mail: info.electronics@system-group.it

 Questo prodotto soddisfa i requisiti di protezione **EMC** della direttiva **2004/108/CE (ex 89/336/CEE)** e successive modifiche.

**SYSTEM s.p.a. Div. Electronics** si riserva il diritto di apportare variazione di qualunque tipo alle specifiche tecniche in qualunque momento e senza alcun preavviso. Le informazioni contenute in questa documentazione sono ritenute corrette e attendibili. La riproduzione anche se parziale, del contenuto di questo catalogo, è permessa solo dietro autorizzazione di SYSTEM s.p.a. Div. Electronics.

# 1. Generalità

E' una scheda standard per PC104 dotata di interfaccia a 16 bit in grado di gestire 4 chip da 512KByte per un totale di 2 MByte di RAM tamponata o di FLASH.

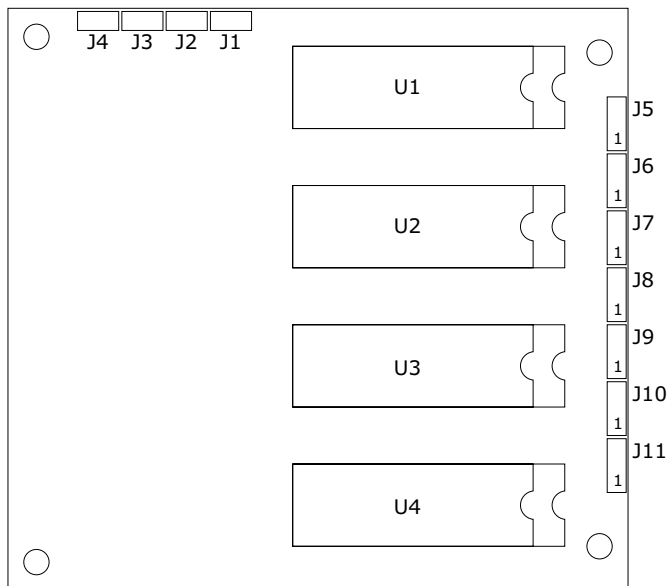


Figura 1.1

# 2. Caratteristiche tecniche

- **TENSIONE DI ALIMENTAZIONE:** +5V dc  $\pm 5\%$
- **CORRENTE ASSORBITA (MAX):** 100mA
- **CONNETTORE:** Standard PC104

## Memorie supportate

- **2/4 x 128K x 8** RAM statiche 431000
- **2/4 x 512K x 8** RAM statiche 434000
- **2 x 128K x 8** FLASH Am29F010
- **2 x 512K x 8** FLASH Am29F040

# 3. Modalità di indirizzamento

Il registro di configurazione scheda è mappato in I/O utilizzando i jumper J1 ... J4:

J1	J2	J3	J4	Indirizzo di BASE
ON	ON	ON	ON	204
ON	ON	ON	OFF	224
ON	ON	OFF	ON	244
ON	ON	OFF	OFF	264
ON	OFF	ON	ON	284
ON	OFF	ON	OFF	2A4
ON	OFF	OFF	ON	2C4
ON	OFF	OFF	OFF	2E4
OFF	ON	ON	ON	304
OFF	ON	ON	OFF	324
OFF	ON	OFF	ON	344
OFF	ON	OFF	OFF	364
OFF	OFF	ON	ON	284
OFF	OFF	ON	OFF	3A4
OFF	OFF	OFF	ON	3C4
OFF	OFF	OFF	OFF	3E4

Tabella 3.1

Mediante il registro di configurazione è possibile selezionare la modalità di funzionamento del modulo:

D7	D6	D5	D4	D3	D2	D1	D0		
X	X	1	1	0	1	1	0	BASE+3	ID=36
X	X	BF STATUS	X	OFFSET BIT7	OFFSET BIT6	OFFSET BIT5	OFFSET BIT4	BASE+2	
X	X	512 EN	PAG. EN	OFFSET BIT3	OFFSET BIT2	OFFSET BIT1	OFFSET BIT0	BASE+1	
X	X	RAM EN	PAG.IND BIT4	PAG.IND BIT3	PAG.IND BIT2	PAG.IND BIT1	PAG.IND BIT0	BASE+0	

Nota: i bit D6 e D7 non sono significativi

Tabella 3.2

**BASE+3:** è disponibile un identificatore 0x36 (validi solo i bit 0 ... 5) che è visibile solo dopo l'abilitazione del registro stesso mediante una scrittura a BASE+3 del valore 0x36. Qualsiasi altro valore scritto a BASE+3 provoca la disabilitazione del registro di configurazione.

**BASE+2:** il bit **BF STATUS** ci segnala l'eventuale batteria scarica o sconnessa: 1 = batteria OK. I bit di **OFFSET** bit7 ... bit4 vengono utilizzati per mappare la memoria ad accesso lineare entro i 16MB (vengono comparati con A23 ... A20).

**BASE+1:** il bit **512 EN** configura l'interfaccia per lavorare con chip da 512KB.

Il bit **PAG. EN** configura l'interfaccia per lavorare con accesso paginato ai banchi di memoria; se posto =0 l'interfaccia è configurata per lavorare con accesso alla memoria in modo lineare. I bit **OFFSET3** ... **OFFSET0** vengono utilizzati per mappare l'indirizzo della pagina da 64K sotto il 1° mega dello spazio di indirizzamento. Nel caso di utilizzo di accesso paginato è necessario porre a 0 i bit **OFFSET7** ... **OFFSET4**.

**BASE+0:** il bit RAM EN viene utilizzato per abilitare l'accesso alla memoria sia in modalità paginata che in modalità lineare.

I bit **PAG. IND.4 ... PAG. IND.0** rappresentano l'indice della pagina in caso di accesso paginato. In caso di 4 chip da 128K saranno significative le prime 8 pagine, in caso di 4 chip da 512K saranno attive tutte e 32 le pagine selezionabili.

La memoria se configurata per l'accesso lineare può essere posizionata ad uno degli indirizzi sotto riportati utilizzando i bit OFFSET7 ... OFFSET4.

OFFSET 7	OFFSET 6	OFFSET 5	OFFSET 4	Indirizzo di partenza banchi di memoria
0	0	1	0	200000
0	1	0	0	400000
0	1	1	0	600000
1	0	0	0	800000
1	0	1	0	A00000
1	1	0	0	C00000
1	1	1	0	E00000

Tabella 3.3

Analogamente in modalità accesso paginato può essere posizionata la pagina entro il 1° megabyte agli indirizzi sotto riportati utilizzando i bit OFFSET3 ... OFFSET0 (i bit OFFSET7 ... OFFSET4 vanno posto a =0).

OFFSET 3	OFFSET 2	OFFSET 1	OFFSET 0	Indirizzo di partenza banchi di memoria
0	0	0	0	00000
0	0	0	1	10000
0	0	1	0	20000
0	0	1	1	30000
0	1	0	0	40000
0	1	0	1	50000
0	1	1	0	60000
0	1	1	1	70000
1	0	0	0	80000
1	0	0	1	90000
1	0	1	0	A0000
1	0	1	1	B0000
1	1	0	0	C0000
1	1	0	1	D0000
1	1	1	0	E0000

Tabella 3.4

## Configurazione chip di memoria

1° BANCO (U1, U2) solo RAM:

**J6** 1-2 **RAM** da 128 Kbyte  
**J6** 2-3 **RAM** da 512 Kbyte

2° BANCO (U3, U4) RAM/FLASH:

**J5** 1-2 **RAM** da 128/512 Kbyte  
**J5** 2-3 **FLASH** da 128/512 Kbyte  
**J7** 1-2 **FLASH** da 128/512 Kbyte  
**J7** 2-3 **RAM** da 128/512 Kbyte  
**J8** 1-2 **RAM** da 128/512 Kbyte  
**J8** 2-3 **FLASH** da 128/512 Kbyte  
**J9** 1-2 **RAM** da 128 Kbyte  
**J9** 2-3 **RAM** da 512 Kbyte  
**J10** 1-2 **RAM** da 128/512 Kbyte  
**J10** 2-3 **FLASH** da 128/512 Kbyte

**J11** 1-2 **Batteria connessa**

**J11** 2-3 **Batteria sconnessa**